



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08095943 A**(43) Date of publication of application: **12.04.96**

(51) Int. Cl.

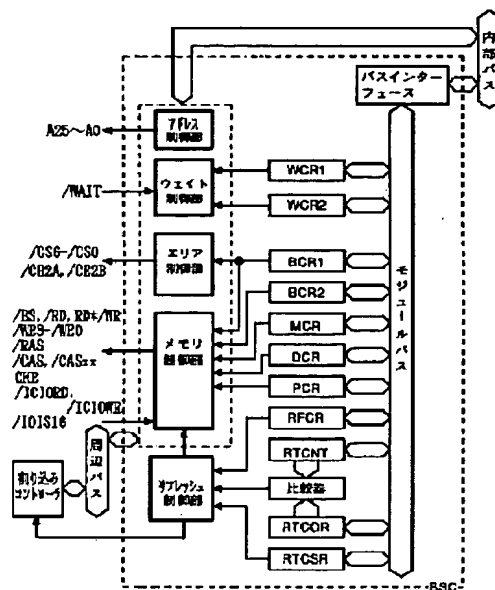
**G06F 15/78****G06F 3/08****G06F 12/06****G06F 13/38**(21) Application number: **06251394**(22) Date of filing: **20.09.94**(71) Applicant: **HITACHI LTD**(72) Inventor:  
**MATSUI SHIGESUMI**  
**KAWASAKI IKUYA**  
**NARITA SUSUMU**  
**NEMOTO MASATO**(54) **MICROPROCESSOR**

## (57) Abstract:

**PURPOSE:** To improve convenience in use by loading a personal computer memory card international association (PCMCIA) interface on a bus state controller for outputting a control signal corresponding to the division of a physical address space and various memory and bus interface specifications.

**CONSTITUTION:** A bus state controller BSC outputs the control signal corresponding to the division of the physical address space and the various memory and bus state interface specifications. The PCMCIA interface is loaded on this bus state controller BSC. Thus, the microprocessor can be directly connected with an IC memory card and an I/O card as well, the system of various kinds of information equipment using the microprocessor can be easily designed, data can be transferred at a high speed by the compact system at the same time, and the microprocessor is made convenient for miniaturized portable information equipment.

COPYRIGHT: (C)1996,JPO



(11)特許出願公開番号

特開平8-95943

(43)公開日 平成8年(1996)4月12日

(51)Int.Cl. <sup>6</sup>		識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	15/78	5 1 0	G		
	3/08		C		
	12/06	5 1 5	J	7623-5B	
	13/38	3 2 0	Z	9188-5E	

審査請求 未請求 請求項の数 3 FD (全 9 頁)

(21)出願番号 特願平6-251394

(22)出願日 平成6年(1994)9月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 松井 重純

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 川崎 郁也

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 成田 進

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(74)代理人 弁理士 徳若 光政

**最終頁に続く**

(54) 【発明の名称】      マイクロプロセッサ

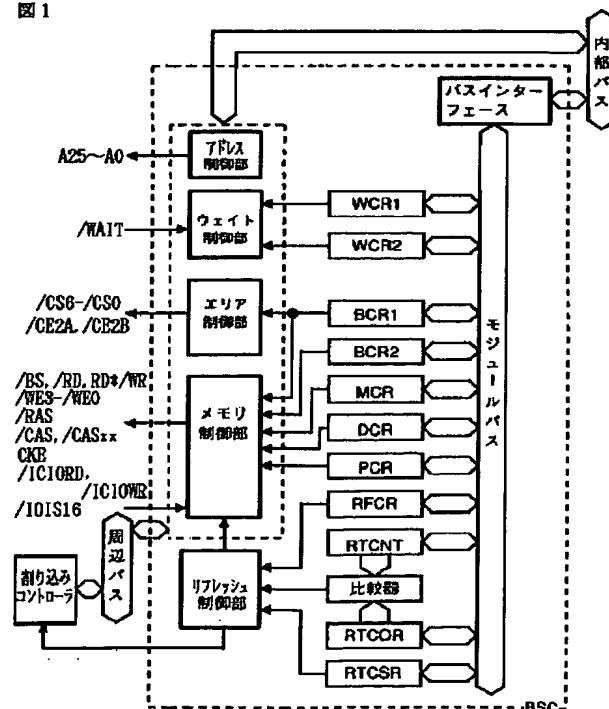
(57) 【要約】

【目的】 使い勝手を良くしたマイクロプロセッサを提供する。

【構成】 マイクロプロセッサにおける物理アドレス空間の分割、各種のメモリ及びバスインターフェイス仕様に応じた制御信号の出力を行うバスステートコントローラに P C M C I A インターフェイスを搭載する。

【効果】 マイクロプロセッサにＩＣメモ리카ードやＩ／Ｏカードを直結させることができるので、各種携帯用情報機器を構成するマイクロプロセッサの使い勝手が良くなる。

☒ 1



**【特許請求の範囲】**

【請求項1】 物理アドレス空間の分割、各種のメモリ及びバスインターフェイス仕様に応じた制御信号の出力を行うバスステートコントローラに、PCMCIAインターフェイスを搭載してなることを特徴とするマイクロプロセッサ。

【請求項2】 上記PCMCIAインターフェイスは、メモリカード用インターフェイスとI/Oカード用インターフェイスとが物理アドレス空間により分離されるものであることを特徴とする請求項1のマイクロプロセッサ。

【請求項3】 上記PCMCIAインターフェイスは、バーストアクセスのためのアドレス生成回路を備えるものであることを特徴とする請求項1又は請求項2のマイクロプロセッサ。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】この発明は、マイクロプロセッサに関し、特に、そのバスインターフェイス回路に利用して有効な技術に関するものである。

**【0002】**

【従来の技術】PCMCIA(Personal Computer Memory Card International Association)インターフェイスは、PCカードガイドラインver4.1及び4.2の中のICメモリカードガイドラインver4.1で規定される68ピンICメモリカードのICメモリカードインターフェイスとI/Oカードインターフェイスとがある。また、このようなPCMCIAインターフェイスには専用のICチップ(82365SL)が用意されている。

**【0003】**

【発明が解決しようとする課題】本願発明者においては各種小型携帯用情報機器の外部周辺装置としてICメモリカードやI/Oカードが欠かせないことに着目し、マイクロプロセッサにおいてPCMCIAインターフェイスを搭載させることを考えた。

【0004】この発明の目的は、使い勝手を良くしたマイクロプロセッサを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0005】**

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、マイクロプロセッサにおける物理アドレス空間の分割、各種のメモリ及びバスインターフェイス仕様に応じた制御信号の出力を行うバスステートコントローラにPCMCIAインターフェイスを搭載する。

**【0006】**

【作用】上記した手段によれば、マイクロプロセッサにICメモリカードやI/Oカードを直結させることがで

きるので、各種携帯用情報機器を構成するマイクロプロセッサの使い勝手が良くなる。

**【0007】**

【実施例】図1には、この発明に係るマイクロプロセッサに搭載されるバスステートコントローラの一実施例のブロック図が示されている。同図の各回路ブロックは、マイクロプロセッサを構成する他の回路ブロックとともに、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0008】バスステートコントローラBSCは、物理アドレス空間の分割、各種のメモリ及びバスステートインターフェイス仕様に応じた制御信号の出力などを行う。このバスステートコントローラBSCの機能によって、外付け回路なしに、DRAM、SDRAM、PSRAM、SRAM、ROMなどを直結させることができる。ここで、DRAMはダイナミック型RAM(ランダム・アクセス・メモリ)であり、SDRAMはシンクロナスダイナミック型RAMであり、PSRAMは擬似スタティック型RAMであり、SRAMはスタティック型RAMであり、ROMはリード・オンリー・メモリである。

【0009】本願発明では、上記のようなバスステートコントローラBSCに、PCMCIAインターフェイスも搭載させるようにする。これにより、ICメモリカードとI/Oカードとも直結させることができるようになり、マイクロプロセッサを用いた各種情報機器のシステム設計が容易になると同時に、コンパクトなシステムにより高速なデータ転送を行うようにすることができ、小型携帯用情報機器に便利なものとなる。

【0010】ウェイト制御部は、WAIT端子によりウェイトステート挿入が可能にされる。かかるウェイトステートの挿入は、プログラムで制御可能にされ、全てのエリア0~6において独立に1~10からなるステートのウェイト挿入をレジスタの設定により指定される。ただし、エリア1~3は共通とされる。そして、異なったエリアに対する連続したメモリアクセスや同一エリアに対するリードアクセス直後のライトアクセスといったデータバスの衝突回避のためにウェイトサンクルが自動挿入させる機能が設けられる。

【0011】エリア制御部において物理アドレス空間を7つの分割して管理する。エリアは0~6からなり、各エリアは最大64Mバイトとされる。各エリアのバス幅は、レジスタにより設定可能にされる。ただし、エリア0のみは、外部ピンにより設定される。

【0012】メモリ制御部では、上記のように物理アドレス空間が7つのエリアに分割され、各エリア(物理アドレス)毎に接続できるメモリの種類が指定されていることに対応して、各エリアに接続するメモリに直結できる制御信号を出力する。

【0013】DRAM直結インターフェイスは、DRAM容量に応じたロウアドレス／カラムアドレスマルチプレックス、バースト動作（高速ページモード、ハイパーページモード）、CASビフォアRASリフレッシュとセルフリフレッシュ、低消費電力に対応したCAS4本方式のバイトコントロール、DRAM直結制御信号のタイミングをレジスタの設定により制御するという各種機能を持つ。

【0014】SDRAM直結インターフェイスは、SDRAM容量に応じたロウアドレス／カラムアドレスマルチプレックス、バースト動作、オートリフレッシュとセルフリフレッシュ、SDRAM直結制御信号のタイミングをレジスタの設定により制御するという各種機能を持つ。

【0015】PSRAM直結インターフェイスは、バースト動作（スタティックカラムモード）、オートリフレッシュとセルフリフレッシュ機能を備える。

【0016】ROMバーストインターフェイスは、ウェイトステート挿入がプログラムで制御可能とされ、レジスタで設定された回数のバースト転送動作を備える。

【0017】そして、PCMCIA直結インターフェイスは、ウェイトステート挿入がプログラムにより制御可能とされ、高速データ転送のためにバースト動作（ページモード）と、I/Oバス幅のバスサイジング機能を持つようにされる。

【0018】リフレッシュ制御部は、リフレッシュカウンタのオーバーフロー割り込み機能により、ローパワーDRAMにおけるセルフリフレッシュ終了直後のリフレッシュ動作をサポートし、リフレッシュ用カウンタをインターバルタイマとして使用可能とされ、コンペアマッチで割り込み要求を発生させ、及びリフレッシュカウンタのオーバーフローで割り込み要求を発生させる。

【0019】ウェイト制御部に対応されたレジスタWCR1、2は、ウェイトコントロールレジスタである。エリア制御部に対応されたレジスタBCR1は、バスコントロールレジスタである。このレジスタBCR1は、BCR2とともにメモリ制御部にも用いられる。メモリ制御部に対応された他のレジスタMCRは、メモリコントロールレジスタ、DCRはDRAMコントロールレジスタ、PCRはPCMCIAコントロールレジスタである。リフレッシュ制御部に対応されたレジスタRFCRはリフレッシュカウンタレジスタ、RTCNTはリフレッシュタイマカウンタレジスタ、RTCORはリフレッシュタイムコンスタントレジスタ、RTCSRはリフレッシュタイマコントロール／ステータスレジスタである。

【0020】上記バスステートコントローラBSCに設けられた各レジスタは、モジュールバスに接続され、かかるモジュールバスは、バスインターフェイスを介して内部バスに接続される。内部バスは、中央処理装置CP

U等や他の周辺回路が接続される。そして、アドレス制御部は、A0～A25からなるアドレス信号を出力する。このアドレス制御部には、前記ROMやPCMCIAのバースト動作を実現するためのアドレス発生回路（アドレスカウンタ）が設けられる。

【0021】図2には、上記バスステートコントローラBSCを説明するための一部の端子構成図が示され、図3には残り一部の端子構成図が示されている。これらの端子構成図においては、端子名称と信号名、入出力及び機能が示されている。

【0022】この実施例のマイクロプロセッサにおいては、アーキテクチャとして論理空間、物理空間ともに32ビットのアドレス空間を持つ。論理空間は、上位側アドレスの値によって5つの空間に分割される。物理空間は、8空間に分割されている。8空間のうち、1つが内蔵IOエリア及び予約エリアとされ、外部メモリアクセスに使用されるのは前記のような残りの7空間とされる。論理空間は、内蔵のアドレス変換機構（MMU）により任意の物理空間に割り付けることが可能とされる。

【0023】図4には、物理空間の割り付けを説明するためのアドレス空間図が示されている。物理アドレスは、前記のように8分割されるが、そのうちエリア0～6の7つの空間が使用される。エリア0は通常メモリ又はバーストROMが、エリア1は通常メモリが、エリア2は通常メモリ又はSDRAM、DRAMが、エリア3は通常メモリ又はSDRAM、DRAM、PSRAMが、エリア4は通常メモリがそれぞれ割り当てられる。そして、エリア5と6には、それぞれに通常メモリ又はバーストRAM又はPCMCIAが割り当てられる。

【0024】メモリのバスサイズは、空間毎に設定できるようにされる。エリア0では、外部ピンを用いてバスサイズをバイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）から選択できる。エリア1～6では、通常メモリ、ROM、バーストROMのいずれかを使用する場合には、バスコントロールレジスタBCR2によってバス幅がバイト、ワード又はロングワードの中から選ぶことができ、SDARM、DRAM、PSRAMのいずれかを使用するときには、個別メモリコントロールレジスタMCR1とによってバス幅をワードかロングワードから選ぶことができる。エリア2をDRAMエリアとして使用する場合には、エリア2と3のバス幅はワードにされる。そして、エリア5と6をPCMCIAインターフェイスとして使用する場合には、バス幅はバイト又ワードのいずれかに設定するようにされる。

【0025】このようなエリア5と6でPCMCIA準拠のインターフェイス使用をサポートした場合、基本的にはPCMCIA仕様バージョン(ver)4.2で定められたICメモ리카ードインターフェイスとI/Oカードインターフェイスである。この他に、使い勝手を良くするた

10

20

30

40

50

めに、言い換えるならば、ICメモリカード又はI/Oカードの高速アクセスを可能にするために、かかる仕様を拡張させてバーストアクセス機能が付加される。つまり、ROMにおけるページモードのように連続アクセスが可能にされる。このような連続アクセスのために、アドレス制御部には連続アクセスのためのアドレス生成機能が付加される。

【0026】この実施例のPCMCIAインターフェイスは、PCMCIA仕様バージョン4.1で定められランダムアクセスの他に上記バーストアクセス機能が付加される。そして、データバス幅は、上記のようにバイト（8ビット）／ワード（16ビット）の指定が可能にされる。メモリタイプとしては、マスクROM、OTPR \*

エリア5；0x14000000

エリア5；0x16000000

エリア6；0x18000000

エリア6；0x1C000000

【0029】つまり、エリア5は、物理アドレスのA28～26が101のエリアであり、アドレスのA31～A29は無視され、アドレスの範囲はH' 14000000+H' 20000000\*n～H' 17FFFFFFF+H' 20000000\*n（n=0～7、n=1～7はシャドウ空間）の64MBとなる。PCMAインターフェイスを使用するときには、ICメモリカードインターフェイスのみで、アドレス範囲はH' 14000000+H' 20000000～H' 15FFFFFFF+H' 20000000～\*n（n=0～7、n=1～7はシャドウ空間）の32MBとなる。

【0030】バス幅は、前記のようにバスコントロールレジスタBCR2よりバイト又はワードのいずれかを選択する。PCMCIAインターフェイスを接続している場合、CE1、CE2信号やOE信号、WE信号が有効とされる。バスサイクルは、ウェイトコントロールレジスタWCR2によってウェイト数を0～10から選択できる。バースト機能を使用する場合には、ウェイト数に対応してバーストサイクルのバスサイクルピッチ数が2～10の範囲で決まるようにされる。

【0031】エリア6は、物理アドレスのA28～26が101のエリアであり、アドレスのA31～A29は無視され、アドレスの範囲はH' 14000000+H' 20000000\*n～H' 17FFFFFFF+H' 20000000\*n（n=0～7、n=1～7はシャドウ空間）の64MBとなる。PCMAインターフェイスを使用するときには、ICメモリカードインターフェイスが、アドレス範囲はH' 14000000+ ※50

\* OM、EPROM、EEPROM及びフラッシュメモリとSRAMである。メモリ容量としては、最大32Mバイトとされ、カード属性を保持する付属メモリ（REG機能）が設けられる。

【0027】また、後述するようなアドレス変換機能MMUを利用することにより、上記エリア5又は6に割り当てられたPCMCIAインターフェイスのアドレス変換を行って任意の論理アドレス空間でアクセスすることが可能にされる。そして、PCMCIA空間割り付けは表1に示すようにされる。

【0028】

【表1】

コモンメモリ／アトリビュートメモリ
空き空間
コモンメモリ／アトリビュートメモリ
I/O空間

※H' 20000000～H' 15FFFFFFF+H' 20000000～\*n（n=0～7、n=1～7はシャドウ空間）の32MB、I/Oカードインターフェイスが、アドレス範囲はH' 16000000+H' 20000000～H' 17FFFFFFF+H' 20000000～\*n（n=0～7、n=1～7はシャドウ空間）の32MB、となる。

【0032】バス幅は、前記のようにバスコントロールレジスタBCR2よりバイト又はワードのいずれかを選択する。PCMCIAインターフェイスを接続している場合、CE1、CE2信号やOE信号、WE、IOR、IOWRが有効とされる。バスサイクルは、ウェイトコントロールレジスタWCR2によってウェイト数を0～10から選択できる。バースト機能を使用する場合には、ウェイト数に対応してバーストサイクルのバスサイクルピッチ数が2～10の範囲で決まるようにされる。

【0033】バーストモードは、キャッシュファイルの際の16バイトのアクセスをROMのページモードと同様のバーストモードでアクセスする。つまり、バースト転送のデータ転送回数は、バスコントロールレジスタBCR1により設定可能で、4、8、16回である。バースト転送の読み出し時の先頭のアクセスサイクルは、内部の要求の発生したデータを含むデータとなる。残りのアクセスは、当該データを含む16バイトバウンダリのデータをラップアラウンドでアクセスする。バースト転送の書き込み時は、16バイトバウンダリのデータに対応して遷都うから順次書き込みが行われる。先頭アクセ

ス及び2回目以降のアクセス時のウェイトステートの挿入は、ウェイトコントロールレジスタWCR2により設定が可能とされる。

【0034】図5には、この発明に係るマイクロプロセッサ（シングルチップマイクロコンピュータ）の一実施例のブロック図が示されている。同図には、主要な回路が代表として例示的に各ブロックが実際の半導体基板上における幾何学的な配置に合わせて描かれている。

【0035】CPUは中央処理ユニットである。Cacheは、キャッシュメモリであり、演算器は算術論理演算を行う。乗算器は乗算を行う。INTCは割り込み制御回路である。MMUは、論理アドレスと物理アドレスとの変換を行うメモリ管理ユニットである。DMACは、直接メモリアクセス制御回路であり、D/A converterはデジタル/アナログ変換器であり、A/D converterはアナログ/デジタル変換器である。SCIはシリアルコミュニケーションインターフェイスである。Timerはタイマー回路である。そして、CPGはクロックパルス発生回路であり、ドライバDriverを介して各回路ブロックにその動作に必要なクロックパルスの供給を行うものである。そして、バスコントローラが、この発明に係るバスステートコントローラBSCに対応している。上記の他に、必要に応じて各種周辺モジュールが設けられる。

【0036】この実施例のマイクロプロセッサでは、上記のようにメモリ管理ユニットが内蔵されているので、前記のような物理アドレスを論理アドレスに変換してアクセスすることができる。それ故、ユーザーにおいては物理アドレスに拘束されることなく、任意の論理アドレスにより各種メモリをアクセスすることができ、前記PCMCIAインターフェイスと相俟っていっそう使い勝手が良くなる。特に、この実施例のPCMCIAインターフェイスでは、物理アドレス空間によりICメモリカード、I/Oカードを分離しているので、従来の専用チップのようにICメモリカード用かI/Oカード用かのモード設定が不要にできるので使い勝手が良くなる。

【0037】図6には、この発明に係るマイクロプロセッサを用いたコンピュータシステムを使用した応用例が示されている。同図（a）はICカードスロットMSLOTを備え、前記ICメモリカード又はI/Oカードによって構成されたファイルFileを内蔵したシステムであり、入出力装置をキーボードKB及びディスプレイDPとしたノートタイプパソコンである。

【0038】同図（b）はフロッピーディスクドライブFDD及び上記ICメモリカード又はI/Oカードによって構成されたファイルFileを内蔵したシステムである。そして、入出力装置をキーボードKB及びディスプレイDPとし、フロッピーディスクFDが上記フロッピーディスクドライブFDDに挿入される。このことによってソフトウェアとしての上記フロッピーディスク

FDおよびハードウェアとしての上記ファイルFileに情報を記憶できるデスクトップタイプパソコンとなる。

【0039】同図（c）は前記ICメモリカード又はI/OカードとしてのファイルカードFileCARDを挿入し、入出力装置を入力専用ペンPEN及びディスプレイDPとしたペンポータブルタイプパソコンである。このように、本発明に係るPCMCIAインターフェイスをマイクロプロセッサに搭載させることにより、上述したような携帯用のコンピュータシステムの簡素化ができる。このことによって、システム全体の小型化、軽量化、薄型化が図れるとともに消費電力を低減でき、さらにバースト機能を付加することにより大容量の情報を高速に読み書きできるので、コンピュータシステム全体としての処理能力を向上させることができる。

【0040】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（1）マイクロプロセッサにおける物理アドレス空間の分割、各種のメモリ及びバスインターフェイス仕様に  
10 応じた制御信号の出力を行うバスステートコントローラにPCMCIAインターフェイスを搭載することにより、マイクロプロセッサにICメモリカードやI/Oカードを直結させることができるので、各種携帯用情報機器を構成するマイクロプロセッサの使い勝手を良くすることができるとい  
20 う効果が得られる。

【0041】（2）上記PCMCIAインターフェイスにおいて、メモリカード用インターフェイスとI/Oカード用インターフェイスとが物理アドレス空間により分離させることにより、逐一モード設定が不要にできるので使い勝手を良くすることができるとい  
30 う効果が得られる。

【0042】（3）上記PCMCIAインターフェイスは、バーストアクセスのためのアドレス生成回路を設けることにより、ICメモリカード又はI/Oカードを高速にアクセスすることができるという効果が得られる。

【0043】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、マイクロプロセッサに搭載される機能は、図5の実施例の他に種々の実施形態を採ることができる。また、バスステートコントローラにおいて、上記PCMCIAインターフェイスを除いた他のインターフェイスは種々の組み合わせにより構成することができる。この発明は、各種マイクロプロセッサに広く利用することができる。

【0044】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、マイクロプロセッサにお  
50

る物理アドレス空間の分割、各種のメモリ及びバスインターフェイス仕様に応じた制御信号の出力を行うバスステートコントローラにPCMCIAインターフェイスを搭載することにより、マイクロプロセッサにICメモリカードやI/Oカードを直結させることができるので、各種携帯用情報機器を構成するマイクロプロセッサの使い勝手を良くすることができる。

【0045】上記PCMCIAインターフェイスにおいて、メモリカード用インターフェイスとI/Oカード用インターフェイスとが物理アドレス空間により分離させることにより、従来のように逐一モード設定が不要にできるので使い勝手を良くすることができる。

【0046】上記PCMCIAインターフェイスは、バーストアクセスのためのアドレス生成回路を設けることにより、ICメモリカード又はI/Oカードを高速にアクセスすることができる。

#### 【図面の簡単な説明】

【図1】この発明に係るマイクロプロセッサに搭載されるバスステートコントローラの一実施例を示すブロック図である。

【図2】上記バスステートコントローラBSCを説明するための一部の端子構成図である。

【図3】上記バスステートコントローラBSCを説明するための残り一部の端子構成図である。

【図4】この発明に係るマイクロプロセッサにおける、物理空間の割り付けを説明するためのアドレス空間図である。

\*

\*【図5】この発明に係るマイクロプロセッサ（シングルチップマイクロコンピュータ）の一実施例を示すブロック図である。

【図6】この発明に係るマイクロプロセッサを用いたコンピュータシステムを使用した応用例を示す構成図である。

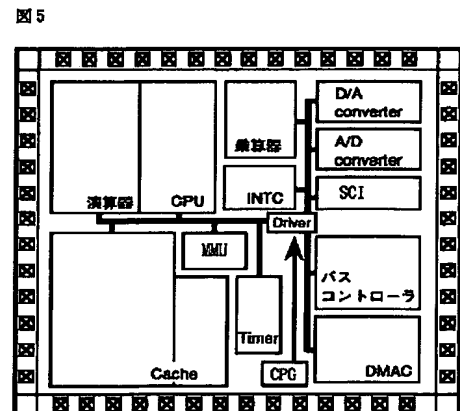
#### 【符号の説明】

BSC…バスステートコントローラ、WCR1, 2…ウェイトコントロールレジスタ、BCR1, 2…バスコントロールレジスタ、MCR…メモリコントロールレジスタ、DCR…DRAMコントロールレジスタ、PCR…PCMCIAコントロールレジスタ、RFCR…リフレッシュカウンタレジスタ、RTCNT…リフレッシュタイムカウンタレジスタ、RTCOR…リフレッシュタイムコンスタントレジスタ、RTCSR…リフレッシュタイムコントロール/ステータスレジスタ、CPU…中央処理ユニット、Cache…キャッシュメモリ、INTC…割り込み制御回路、MMU…メモリ管理ユニット、DMAC…直接メモリアccess制御回路、D/A converter…デジタル/アナログ変換器、A/D converter…アナログ/デジタル変換器、SCI…シリアルコミュニケーションインターフェイス、Timer…タイマー回路、CPG…クロックパルス発生回路、Driver…ドライバ、MSLOT…ICカードスロット、File…ファイル、KB…キーボード、DP…ディスプレイ、FD D…フロッピーディスクドライブFDD、PEN…ペン。

【図4】

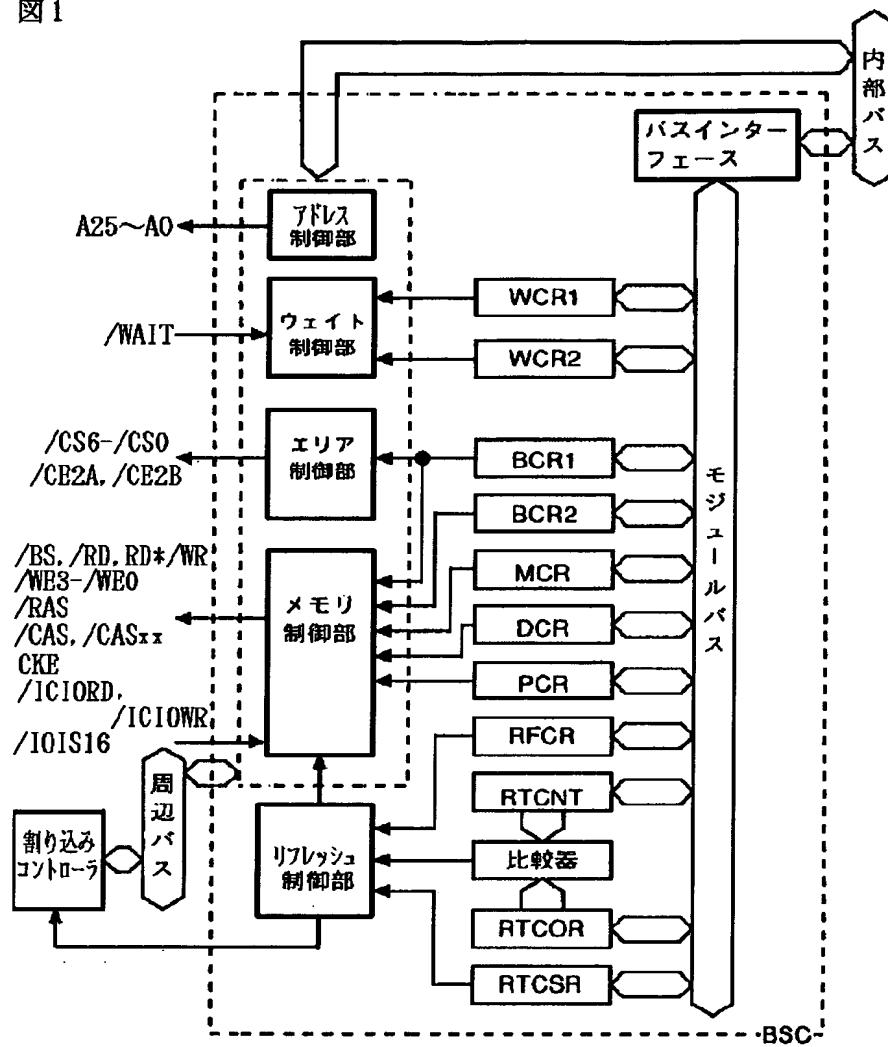
図4	エリア0: H'00000000	通常メモリ/バーストROM
	エリア1: H'04000000	通常メモリ
	エリア2: H'08000000	通常メモリ/SDRAM, DRAM
	エリア3: H'0C000000	通常メモリ/SDRAM, DRAM, PSRAM
	エリア4: H'10000000	通常メモリ
	エリア5: H'14000000	通常メモリ/バーストROM/PCMCIA
	エリア6: H'18000000	通常メモリ/バーストROM/PCMCIA

【図5】



【図 1】

図 1





【図 2】

名称	信号名	入出力	機能
アドレスバス	A25～A0	出力	アドレス出力
データバス	D29～D24, D15～D0	入出力	データ入出力
データバス/ステータス	D31～D30/ STATUS3～2	入出力/ 出力	32bitバス幅時、データ入出力 16bitバス幅時、ステータス信号
データバス/ ロウアドレスストローブ	D29/RAS2#	入出力/ 出力	32bitバス幅時、データ入出力 16bitバス幅時、2セット目のDRAMのRAS#信号
データバス/ポート	D23～D16/ PORT7～0	入出力	32bitバス幅時、データ入出力 16bitバス幅時、ポート（入出力は、レジスタで設定）
バスサイクル開始	BS#	出力	バスサイクルの開始を示す信号。バースト転送時は、毎データ サイクル毎にアサート。
チップセレクト 6～0	CS6#～CS0#	出力	アクセス中のエリアを示すチップセレクト信号。CS5#、CS6#は、 PCMCIAのCE1A、CE1Bとしても使用。
PCMCIAカードセレクト	CE2A、CE2B	出力	PCMCIAインターフェースのCE2A、CE2B
リード/ライト	RD#WR#	出力	DRAM/SDRAM/PCMCIAの書き込み指示信号
ロウアドレスストローブ	RAS#/CE#	出力	DRAM/SDRAM使用時、RAS信号 PSRAM使用時、CE信号
カラムアドレスストローブ	CAS#/ CASLL#/ OE#	出力	SDRAM使用時、CAS信号 DRAM使用時、D7-0対応のCAS信号 PSRAM使用時、OE/REFRESH信号
カラムアドレスストローブ LH	CASLH#	出力	DRAM使用時、D15-8対応のCAS信号
カラムアドレスストローブ HL	CASHL#/ CAS2L#	出力	DRAM使用時、D23-16対応のCAS信号 DRAM2セット使用時、D7-0対応のCAS信号

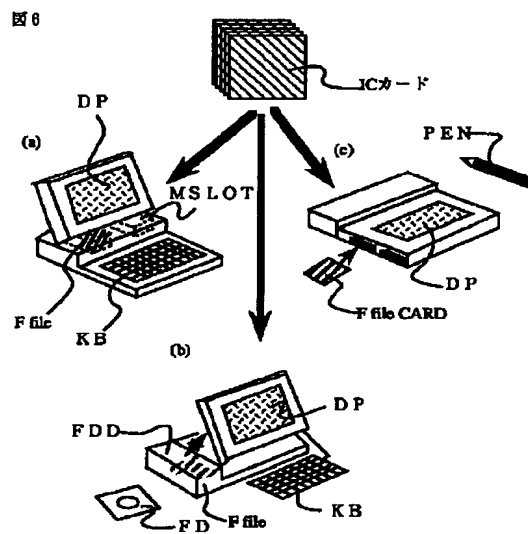
図  
2

【図 3】

名称	信号名	入出力	機能
カラムアドレスストローブ HH	CASHH#/ CAS2H#	出力	DRAM使用時、D31-24対応のCAS信号 DRAM2セット使用時、D15-8対応のCAS信号
データイネーブル 0	DQMLL/ WE0#	出力	SDRAM使用時、D7-0対応の選択信号 その他の場合、D7-0対応のライトストローブ信号
データイネーブル 1	DQMLU/ WE1#	出力	SDRAM使用時、D15-8対応の選択信号 その他の場合、D15-8対応のライトストローブ信号
データイネーブル 2	DQMUL/ WE2#/ ICIOR#	出力	SDRAM使用時、D23-16対応の選択信号 その他のメモリの場合、D23-16対応のライトストローブ信号 PCMCIAの場合、IOリードを示すストローブ信号
データイネーブル 3	DQMUL/ WE3#/ ICIOR#	出力	SDRAM使用時、D31-24対応の選択信号 その他のメモリの場合、D31-24対応のライトストローブ信号 PCMCIAの場合、IOライトを示すストローブ信号
リード	RD#	出力	リードサイクルを示すストローブ信号
ウェイト	WAIT#	入力	ウェイトステート要求信号
ライトプロテクト/16bit I/O	WP/IOIS16#	入力	PCMCIAのライトプロテクト/16bit I/O指示信号
クロックイネーブル	CKE	出力	SDRAMのクロックイネーブル制御信号
バス解放要求	BREQ#	入力	バス解放の要求信号
バス使用許可	BACK#	出力	バス使用の許可信号
エリア 0 バス幅	MD3、MD4	入力	物理空間のエリア 0 のバス幅設定信号
エンディアン切り替え/ ロウアドレスストローブ	MD5/RAS2#	入力/ 出力	リセット時、全空間のエンディアン設定信号 16bitバス幅時、2セット目のDRAMのRAS#信号

図  
3

【図 6】



フロントページの続き

(72)発明者 根本 正人

茨城県日立市幸町3丁目2番1号 日立エ  
ンジニアリング株式会社内